

Ihr Fachverband
für Design, Leiterplatten-
und Elektronikfertigung

Integration und Effizienz – notwendig und möglich

16. bis 18. September 2010
Schwabenlandhalle, Fellbach bei Stuttgart

Viele Beiträge der diesjährigen FED-Konferenz ranken sich um die Begriffe „Integration“ und „Effizienz“. Der Miniaturisierungstrend ist ungebrochen und regt die Phantasie für die Entwicklung und Produktion neuer elektronischer Baugruppen und Systeme permanent an. Mechanische, optische und elektronische Komponenten verschmelzen zu kleinen leistungsfähigen Einheiten und „Embedded“ ist in aller Munde. Gleichzeitig sensibilisieren wir uns immer mehr für ressourcenschonende Herstellungsverfahren unserer technischen Erzeugnisse und haben bei der Wirtschaftlichkeit und Energieeffizienz den gesamten Produktlebenszyklus vor Augen. Auch in diesem Jahr bietet Ihnen die

FED-Konferenz mit ihrem umfangreichen Programm aus 4 Seminaren, 16 Workshops und 48 Fachvorträgen aktuelles Wissen zu diesen Themen für Ihre tägliche Arbeit. Das alles unter dem Gesichtspunkt zunehmender Integration und Effizienz. Auch die Konferenzgestaltung wurde unter diesen Gesichtspunkten weiterentwickelt: Der bisherige Seminar-Donnerstag wird voll in die Konferenz integriert und schafft dadurch Raum für zusätzliche Fachbeiträge. Eine verlängerte Fachausstellung mit optimierter Pausenabstimmung bietet dem Einzelnen eine effizientere Nutzung und mehr Zeit für Fachgespräche am Rande der Konferenz. Freuen Sie sich schon heute darauf!

Im Namen des FED-Vorstandes lade ich Sie recht herzlich nach Fellbach ein.



Ihr
Dr. Werner Witte

Vorsitzender im FED-Vorstand

sponsored by:

axisbegleitende
Innovationsförderung

GESELLSCHAFT FÜR ELEKTRONIK UND DESIGN
MODERNE VERBINDUNGSTECHNOLOGIEN

perfectly connected

CHRISTIAN KOENEN GMBH
HIGHTECH STENCILS

Zitzmann GmbH

8:00 Anmeldung am FED-Empfang und Besuch der Ausstellung im Foyer				
9:30 - 17:30 Kaffeepausen und Mittagessen wie bei den Vorträgen	Seminar 1	Seminar 2	Seminar 3	Seminar 4
	Fertigungsgerechtes Design (DFM, DFT, DFA,DFQ) <ul style="list-style-type: none"> Materialverhalten im Prozess Lötwärmebedarf Temperaturbeständigkeit Montage und Fertigung Fehlervermeidung durch FMEA in der Entwicklung Prozesskontrolle mittels Testboard Zuverlässigkeit Dr. Thomas Ahrens (Trainalytics)	Leiterplattentechnologie in Theorie und Praxis <ul style="list-style-type: none"> Technologien Konstruktion und Design Lagenaufbau Flex/Starrflex Strom und Entwärmung Oberflächen Thermische Beständigkeit Normen und Richtlinien Kostenrechnung Liefervorschriften, Audits Lothar Oberender und Johann Hackl (Häusermann)	Moderne Baugruppenfertigung <ul style="list-style-type: none"> Prozessstabilität Material-Beschaffung/Handling Lötprozesse Fertigungsprozesse Aktuelle Bauformen (BGA, QFN, LGA) Fertigungstechnologien Fehleranalysen Baugruppenqualifikation Traceability Patrick von Unold (TQ-Systems)	Wärmemanagement im Leiterplatten- und Baugruppendesign (Thermo-Seminar) <ul style="list-style-type: none"> Physikalische Grundlagen Designregeln Lagenaufbau Technologien (AVT) Kosten und Toleranzen Thermovias, Microvias Bauelemente, Kühlung Dr. Johannes Adam (ADAM-Research) Dr. Christoph Lehnberger (Andus)

Vorträge			
	<i>Design/Management</i>	<i>Leiterplatten</i>	<i>Baugruppen</i>
9:00	Design for Inspectability für SPI, AOI, AXI (Prozessrisiken und Qualitätskosten vermeiden bzw. vermindern) Michael Mügge (VISCOM)	„Spiel ohne Grenzen“ Anwendung der HDI-Technologie am Beispiel einer digitalen Modellbahnsteuerung Sven Nehrlich (Jenaer Leiterplatten) Klaus Appel (Appel Elektronik)	Funktionale Sicherheit und deren praktische Umsetzung nach IEC 61508 und ISO CD 26262 Projekt- und Berechnungsbeispiele aus der Automobilindustrie Dr. Alexander Schloske (Fraunhofer IPA)
9:45	Integriertes Designtool für die Entwicklung und Fertigung von 3D-MID-Baugruppen Christian Fischer (FAPS, Universität Erlangen)	Konzept für das Chip embedding in Leiterplatten iBoard-Technologie mit Interposer (Flip-Chip-Technologie) Alexander Neumann (Schweizer Electronic)	
10:30	Kaffeepause und Ausstellung		
11:00	Low-Power-Design Anforderungen an den Leiterplattenentwurfsprozess und Implikationen für den Entwickler Ralf Brüning (Zuken)	Kennzeichnungsoptionen für Leiterplatten Von DataMatrix bis RFID Alexander Süllau (ILFA)	Vom Mission Profile zur Qualifikationsprüfung Praktische Hinweise zur Aufgabenstellung und Vorgehensweise Armin Gottschalk (RELNETyX)
11:45	Designstrategien für hochpolige SMD-Bauelemente Rudi Ganss (Tieto Deutschland)	IMS-Leiterplatten mit Aluminium <ul style="list-style-type: none"> Aufbau und Prozessschritte Preisbestimmende Faktoren Lothar Sentensky (Rinde Regeltechnik)	Ursachen von Baugruppenausfällen aus der Sicht eines EMS-Dienstleisters Oswald Maurer (WEPTECH elektronik)
12:30	Mittagessen und Ausstellung		
14:00	PCB und FPGA in einem CAD-Flow Frühzeitige IO-Synthese für optimiertes IO-Assignment durch Co-Design Dirk Müller (FlowCAD)	Multilayer-Lagenaufbau für High-Speed-Anwendungen Arnold Wiemers (LeiterplattenAkademie)	Optimierte Baugruppenreinigung mittels Präzisionssprühreinigungsanlage Dr. Peter Koller (PKS group)
14:45	Effiziente Mechatronik-Prozesse in SAP mit cenitCONNECT Peter Preß (Cenit)	Auswahlkriterien für Basismaterialien im Hinblick auf die Anforderungen an Leiterplatten und Baugruppen Dr. Albert Angstenberger (Taconic)	Schutzbeschichtung für elektronische Baugruppen Anforderungen an Design, Materialien und Prozesse Jens-Hendrik Klingel (KC-Produkte)
15:30	Kaffeepause und Ausstellung		
16:00	„Management-Cockpit“ als Instrument der Unternehmenssteuerung Sven Nehrlich (Jenaer Leiterplatten)	Rahmen, Kavitäten, Kanäle Integrierte Fluide in mechatronischen Leiterplatten an einem Beispiel aus der Medizintechnik Dr. Christoph Lehnberger (ANDUS)	Selektivlöten von Dickkupfer-Leiterplatten Jürgen Friedrich (ERSA)
16:45	Ganzheitliche Logistikkonzepte kontra Material- und Bauelementeknappheit Lieferfähigkeit erhalten und Ertrag steigern Hubertus Andreae (dreiplus)	PCB-Specs Das Ende des Leiterplatten-Spezifizierungs-Chaos? Burkhard Nissen (ANNICO)	Zuverlässigkeitsbewertung durch In-Situ-Messverfahren René Metasch (TU Dresden)
18:00	FED-Mitgliederversammlung		

Workshops						
8:30	Workshop 1 EDA-Anbieter stellen in Statements neue Produkte vor <ul style="list-style-type: none"> Zuken Mentor Graphics FlowCAD Altium 	Workshop 2 Baugruppenfertigung (aus Fehlern lernen) <ul style="list-style-type: none"> Fehleranalyse Prozesskontrolle Prävention Harald Grumm (Koenen) Roland Mair (Mair-Elektronik) Wolfram Hübsch (Ersa)	Workshop 3 Impedanzen auf Flex- und Starrflex-Leiterplatten <ul style="list-style-type: none"> Berechnung Dokumentation Messung Validierung Hermann Reischer (Polar Instruments)	Workshop 4 Optimierungspotentiale für den Produktlebenszyklus mechatronischer Produkte durch SAP Peter Preß (Cenit) Thomas Nöth (Preh)	Workshop 5 Design for Test aus der Sicht des Praktikers DfT-Regeln anhand von Praxisbeispielen Walter Grandjot (Test & Messtechnik Services)	Workshop 6 Multifunktionelle Oberflächen für die Aufbau- und Verbindungstechnik Bernd Endress (Gramm Oberflächen-technik)
9:30	Kaffeepause und Ausstellungen					
Plenumsveranstaltung						
10:00	Eröffnung der 18. FED-Konferenz durch den Vorstandsvorsitzenden des FED, Herrn Dr. Werner Witte					
10:05	Grußadresse der Stadt Fellbach durch den Herrn Oberbürgermeister Christoph Palm, MdL					
10:15	Langfristige Technologie-Vorhersagen sind notwendig, aber unmöglich Prof. Dr. Hermann Maurer (Technische Universität Graz)					
11:30	Faszination Nanotechnologie – Vom Nanodraht bis zum Einzelatom-Transistor Prof. Dr. Thomas Schimmel (Institut für angewandte Physik, Universität Karlsruhe)					
12:30	Mittagessen und Ausstellungen					
Vorträge/Workshops						
	Management	Design	Leiterplatten	Baugruppen	Workshop 7	Workshop 8
14:00	Wertstromanalyse in Theorie und Praxis <ul style="list-style-type: none"> Durchführung Potentiale Standardisierung Klaus Appel (Appel Elektronik)	PSpice-Simulation Funktionen zur Optimierung von Bauteilpreisen, Yield und Zuverlässigkeit Dirk Müller (FlowCAD)	Kundennutzen gestalten unter Wertschöpfungsaspekten (Optinutzen) Christian Gärtner (Jenaer Leiterplatten)	Integriertes Produktions- und Qualitätsmanagement für die Elektronik-industrie am Beispiel EN ElectronicNetwork Jens Mechling (IBS) Hermann Österreicher (ElectronicNetwork)	IPC-Richtlinien im praktischen Einsatz entlang der Lieferkette <ul style="list-style-type: none"> Design Material Leiterplatten Baugruppen Nacharbeit Reparatur Qualität und Zuverlässigkeit SPC/Statistik Lars Wallin (IPC)	Qualität und Zuverlässigkeit von Leiterplatten und Baugruppen Beispiele aus der Praxis <u>Vortrag 1</u> Fehlerhafte Leiterplattenoberflächen Auswirkungen auf die Lötverbindungen Lutz Bruderreck (TechnoLab)
14:45	Mit Pünktlichkeit die Produktivität steigern Konzept zur Fertigungssteuerung, unabhängig von IT-Plattformen Heinz Schmid (Schmid & Wolff)	Leiterplatten- und Baugruppen-Design mit ganzheitlichem Ansatz Peter Auer (Tieto Deutschland)	Kontrolliertes Handling und Trocknung von Leiterplatten mit Bezug auf IPC-1601 Dr. Friedrich Nolting (diplan) Michael Robinson (ASYS)	Einflüsse auf die Lotperlenbildung am Beispiel einer selektiven Wellenlötung <ul style="list-style-type: none"> Lötparameter Lötstopplack Freistellung im Lack Jens Göbel (WABCO)	Dr. Sonja Wege (Fraunhofer IZM)	<u>Vortrag 2</u> Einfluss der Leiterplattenqualität auf Ausfälle elektronischer Baugruppen
15:30	Kaffeepause und Ausstellung					
16:15	Betriebliche Altersversorgung für Arbeitnehmer und Geschäftsführer Haftungsrisiken für das Unternehmen Alexander Schrehardt (Consilium GmbH)	Embedded Components – ein Mainstream Packaging-Konzept? Rainer Asfalg (Mentor Graphics)	Dreidimensionale Strombelastbarkeits- und Temperaturberechnung Dr. Johannes Adam (Adam-Research)	Zerstörungsfreie Analyse von Rissen in SMD-Keramik-Kondensatoren Johann Schied (Zollner)	Fortsetzung Workshop 7	Workshop 9 Sichere Reparaturprozesse Lötprozess-Optimierung bei eingeschränktem Prozessfenster <u>Vortrag 1</u> Lötwärmebeständigkeit im manuellen Reparaturprozess <u>Vortrag 2</u> Prozessfenster für den schonenden Reworkprozess Helge Schimanski (Fraunhofer ISIT)
17:00	Risikomanagement Finanzierung Lehren aus der Finanzkrise für das Management von Finanzen und Liquidität Bernhard Schmid (management consult.)	Gegen den Strom? Stromverteilungen auf Multilayer-Leiterplatten Ralf Brüning (Zuken)	Bonden und Löten auf Leiterplattenoberflächen der neuesten Generation Roland Schönholz (Würth Elektronik)	Risikofaktor Basismaterial Bericht/Ergebnisse zum FED-Projekt Rainer Taube (TAUBE ELECTRONIC)		
20:00 - 24.00	Festabend (Einlass ab 19.30 Uhr)					

Workshops						
9:00	Workshop 10 Umweltsimulation und Produktqualifikation für elektronische Produkte Joachim Cäsar (Fraunhofer ICT)	Workshop 11 Aktuelle Änderungen und Ergänzungen in der Umweltgesetzgebung <ul style="list-style-type: none"> ▪ EuP, RoHS ▪ WEEE und ELV ▪ REACH (Stoffliste und Mitteilungspflicht nach §33) Dr. Otmar Deubzer (Fraunhofer IZM)	Workshop 12 Räumlich angeordnete Elektronik, effizientes Design und Konstruktion von Aufbau- und Verbindungslösungen anhand von Praxisbeispielen Carsten Kindler (GED)	Workshop 13 Fehlerhafte Leiterplatten und Baugruppen durch Designfehler Ursache, Wirkung und Vermeidung Gerhard Gröner (FED) Arnold Wiemers (LeiterplattenAkademie) Werner Fink (E.G.O.)	Workshop 14 Theorie und Praxis in der Leiterplattenherstellung Einfluss von Technologie, Material und Toleranzen auf die Cu-Schichtdicken Sven Nehrdich und Jens Ohlwein (Jenaer Leiterplatten)	Workshop 16 Stromtragfähigkeit auf der Leiterplatte – Arbeiten mit der IPC-2152/DINIEC 326 Hohe Ströme auf Leiterplatten <ul style="list-style-type: none"> ▪ Technologie ▪ Berechnung ▪ Thermographie ▪ Praktische Beispiele
10:00	Kaffeepause und Ausstellung					
Vorträge/Workshops						
	Management	Design	Leiterplatten	Baugruppen	Workshop 15 Praxisworkshop	Workshop 16 Fortsetzung
10:40	Finanzierungsalternativen zur Hausbankfinanzierung <ul style="list-style-type: none"> ▪ Factoring ▪ Lagerfinanzierung ▪ Einkaufsfinanzierung ▪ Projektfinanzierung ▪ Praxisbeispiele und Diskussion 	Sicherheitstechnik nach SIL 61508 – Von der Entwicklungs-idee bis zur bestückten Leiterplatte Helmut Geselle (riese electronic)	Lasergestütztes Prototyping von Leiterplatten Thorne Lietz (LPKF)	Outsourcing – „ein“ Weg aus der Krise mit Beispielen und Checklisten aus der Praxis Oliver Riese (riese electronic)	Handlöten (Kenne Dein Werkzeug) Anforderungen an Geräte, Personal und Ausführung Technische Prozessbeschreibung Kompatibilität von Konstruktion, Werkzeug, Material und Hilfsstoffen	Lothar Oberender Johann Hackl (Häusermann)
11:25	Roger Muell (Finanzierungsgruppe Mittelstand)	Zuverlässige Prozesse beim Projekt-Release Robert Huxel (Altium)	Effiziente Serienfertigung von Laser-Direkt-Strukturierten MIDs Dirk Bäcker (LPKF)	Kostensenkung und optimale Produktionssteuerung durch KVP Raphael Podgurski (abp)	Dr. Thomas Ahrens (Trainalytics)	
12:20	Come Together (Abschlusstreffen), anschließend Mittagessen, Ende der Konferenz: 13:45 Uhr					

Fr, 17.09.2010

Die Referenten der Plenarveranstaltung



Hermann A. Maurer ist Professor für Informatik an der Technischen Universität Graz. Er ist Ehrendoktor der Universitäten von St. Petersburg, Karlsruhe und Calgary sowie Träger des Österreichischen Ehrenkreuzes für Wissenschaft und Kunst. Prof. Maurer hat über 40 Dissertanten betreut und ist Autor von etwa 20 Büchern und über 650 Fachartikeln. Unter seiner Mitwirkung sind rund 30 Firmen und Organisationen gegründet worden. In seinen neueren Publikationen beschäftigt er sich unter anderem mit der Zukunft des Computers und begründet, dass zukünftige Computeranwendungen mit heutigem Verständnis kaum ausreichend beschrieben werden können.

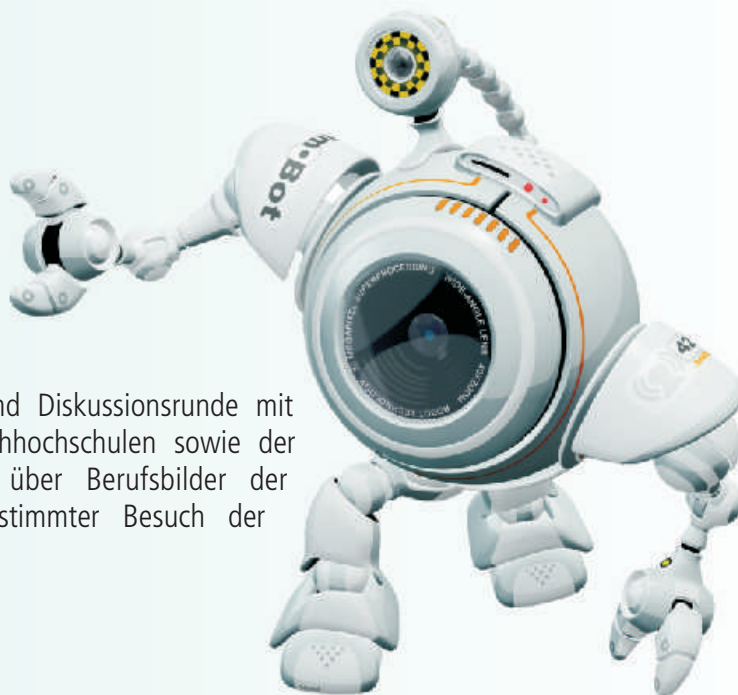
Thomas Schimmel promovierte 1989 an der Universität Bayreuth, wo er sich 1995 auch habilitierte. Seit 1995 ist er Professor am Institut für Angewandte Physik in Karlsruhe. Seit der Gründung des Instituts für Nanotechnologie des Forschungszentrums Karlsruhe 1998 leitet er dort eine Arbeitsgruppe. Im Jahre 2000 erhielt er den Landesforschungspreis von Baden-Württemberg für seine bahnbrechenden Arbeiten bei der Entwicklung neuer Methoden und Werkzeuge zur Bearbeitung kleinster Strukturen bis hin zu Atomen und Molekülen. Ein Beispiel dafür ist die kleinste Fräsmaschine der Welt, die eine Materialbearbeitung Atom für Atom ermöglicht.



Do., 16.09.2010

2. FED-Schülertag

Die zentrale Informationsveranstaltung des 2. FED-Schülertages findet am 16.09.2010 in einer Fellbacher Schule statt und richtet sich übergreifend an Schülerinnen und Schüler des Stuttgarter Raums. Nach der Präsentation unseres Nachwuchs-Förderungsfilms „Schüler an die Kabel“ haben die teilnehmenden SchülerInnen die Möglichkeit sich in einer Frage- und Diskussionsrunde mit Vertretern der Industrie, der Berufsbildenden und Fachhochschulen sowie der Fachpresse einen möglichst umfassenden Einblick über Berufsbilder der Elektrotechnik zu verschaffen. Ein individuell abgestimmter Besuch der Schwabenlandhalle rundet den Schülertag ab.



Fr., 17.09.2010

Partnertag



Erstmals bietet der FED den PartnerInnen der Konferenzteilnehmer am 17.09.2010 ein attraktives Rahmenprogramm. Nach dem gemeinsam eingenommenen Mittagessen in der Schwabenlandhalle (12:30 Uhr) schließt sich um 14:00 Uhr eine zweieinhalbstündige Weinbergführung an. Der Weinbaulehrpfad am Kappelberg führt die TeilnehmerInnen direkt in die Werkstatt der Fellbacher Weingärtner, zu Trollinger, Riesling und Co. Im Anschluss daran werden im Weinkeller bei Mineralwasser, Brot und Käse weitere Weine aus Fellbach kredenzt. Bei schlechtem Wetter ist eine Kellerführung mit verschiedenen Weinproben und nicht zuletzt viel Wissenswertem in der Neuen Kelter geplant.

Kosten pro Person (inkl. Mittagessen): 30,- EUR.
Anmeldung erbeten bis zum 20. August 2010.
Mindestteilnehmerzahl: 12.



Fr., 17.09.2010

Festabend

Eine ausgelassene Atmosphäre, exquisite Speisen und Getränke und gute Musik: mal stimmungsvoll, mal mitreißend. So sollte der Festabend der FED-Konferenz allen in Erinnerung sein, die bisher dabei waren. Und so soll es auch in diesem Jahr sein, mit einem Unterschied: LOUNGE SOCIETY! Über Troy Afflick, Sänger und Leader der Band, deren Auftritte getragen sind von



authentischer Emotion und Begeisterung, wird behauptet, er wurde geboren um zu singen. Wer ihn erlebt hat, ist geneigt dies zu glauben und wer kann schon wie er von sich behaupten, mit Whitney Houston zusammen aufgetreten zu sein? Unabhängig von der Stellung Troy Afflicks ist die Grundlage der Professionalität der gesamten Band die Fertigkeiten der studierten Instrumentalisten und ihre mehr als 10jährige, kontinuierliche Zusammenarbeit.

Do. bis Sa., 16. - 18.09.2010

Ausstellung

Während der gesamten Konferenzdauer findet im Foyer der Schwabenlandhalle die Firmenausstellung statt, in deren Rahmen Designdienstleister, Leiterplatten- und Baugruppenproduzenten, EDA-Software-Anbieter, Zulieferanten und Institutionen ihre Produkte und Dienstleistungen anbieten. Über die Konditionen für eine Teilnahme informieren die Internetseite des FED und das vorliegende Konferenzprogramm.

Parallel zur Firmenausstellung gibt der FED in einem eigenen Ausstellungsbereich Einblicke in das umfassende Richtlinienwerk des amerikanischen Fachverbandes IPC. In dieser IPC-Dokumenten-Ausstellung können viele amerikanische Orginaldokumente und alle deutschen Übersetzungen eingesehen werden.



Hotелеmpfehlungen

Im Classic Congress Hotel Fellbach steht unter dem Stichwort "FED" ein begrenztes Abruflkontingent an Zimmern bereit. Weitere Hinweise zu Übernachtungsmöglichkeiten in Fellbach und Umgebung finden Sie unter www.fed.de/downloads/Hotelliste2.pdf

Tagungsort und Anreise

Schwabenlandhalle Fellbach
Tainer Straße 7
70734 Fellbach
Tel.: +49 (0) 711 57 56 10
Fax: +49 (0) 711 57 56 11

www.schwabenlandhalle.de
info@schwabenlandhalle.de

Eine Anreisebeschreibung finden Sie unter der genannten Internetadresse oder unter www.fed.de. In unmittelbarer Nähe sind Parkplätze in ausreichender Zahl vorhanden: Die Tiefgarage umfasst 200 Stellplätze und oberirdisch stehen etwa 450 Plätze zur Verfügung. Ein paar Schritte entfernt bietet die Tiefgarage "Stadtmitte" mit 150 Plätzen weitere Kapazitäten.



www.fed.de

Konferenzservice des FED

FED e.V.
Alte Jakobstr. 85/86
10179 Berlin
Tel.: +49 (0) 30 834 90 59
Fax: +49 (0) 30 834 18 31
Internet: www.fed.de
E-Mail: info@fed.de

Ihre Ansprechpartner:

Dietmar Baar, Antje Brandt,
Christina Griegel, Michael Ihnenfeld,
Sandra Köckeritz, Dr. Stephan Weyhe

Ich nehme an der Konferenz teil und buche folgende Leistung (bitte ankreuzen)

Nr.	Leistungsbeschreibung	FED-Mitglieder	Nichtmitglieder
<input type="checkbox"/>	01 Seminar 1 bis 4 (16.09.)	350 €	490 €
<input type="checkbox"/>	02 Seminar 1 bis 4 (16.09.) und Konferenz (17.09.) *	690 €	960 €
<input type="checkbox"/>	03 Seminar 1 bis 4 (16.09.) und Konferenz (17./18.09) *	820 €	1.130 €
<input type="checkbox"/>	04 Konferenz (16.09.)	280 €	390 €
<input type="checkbox"/>	05 Konferenz (17.09.) *	340 €	470 €
<input type="checkbox"/>	06 Konferenz (18.09.)	150 €	210 €
<input type="checkbox"/>	07 Konferenz (16./17.09.) *	620 €	860 €
<input type="checkbox"/>	08 Konferenz (17./18.09.) *	470 €	650 €
<input type="checkbox"/>	09 Konferenz (16./17./18.09.) *	750 €	1.040 €
<input type="checkbox"/>	10 Ausstellungsstand inkl. Konferenz (17./18.09.) *	930 €	1.150 €
<input type="checkbox"/>	11 Ausstellungsstand inkl. Konferenz (16./17./18.09.) *	1.170 €	1.440 €
<input type="checkbox"/>	12 1 zusätzlicher Standbetreuer (17./18.09.) *	250 €	310 €
<input type="checkbox"/>	13 1 zusätzlicher Standbetreuer (16./17./18.09.) *	420 €	520 €
<input type="checkbox"/>	14 Begleitperson Festabend (17.09.)	60 €	60 €
<input type="checkbox"/>	15 Teilnahme Partnertag (17.09.) (inkl. Mittagessen, Weinbergführung und Sektempfang)	30 €	30 €

* inkl. Festabend

Für Nr. 1 bis 9 gilt: Bei einer Buchung bis Freitag, 30.07.2010, gewähren wir für beide Preisgruppen einen Nachlass von 10 %.

Die folgenden Angaben sind für die Raumplanung notwendig - bitte ankreuzen

- Ich nehme am Festabend teil
- Ich nehme am Mittagessen am Samstag teil

Seminaranmeldung

Ich werde am Donnerstag, 16.09.2010 an folgendem Seminar teilnehmen (da zeitgleich, bitte nur ein Seminar wählen) - bitte ankreuzen

- Seminar 1: Fertigungsgerechtes Design (DFM, DFT, DFA, DFQ)
- Seminar 2: Leiterplattentechnologie in Theorie und Praxis
- Seminar 3: Moderne Baugruppenfertigung
- Seminar 4: Wärmemanagement im Leiterplatten- und Baugruppendesign

Workshop-Belegung

Ich beabsichtige, an folgenden Workshops teilzunehmen (Inhalte umseitig beschrieben). Da die Workshops 1-6, 7/8, 7/9, 10-14/16, 15/16 zeitgleich stattfinden - bitte jeweils nur einen Workshop morgens/nachmittags pro Tag ankreuzen (Ausnahme WS-8, WS-9).

- | | | | | | | | | | | | | |
|-----|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------------------------|-----------|-----|-----------------------------|----------------------------|----------------------------|---------------|
| Fr. | <input type="checkbox"/> 1 | <input type="checkbox"/> 2 | <input type="checkbox"/> 3 | <input type="checkbox"/> 4 | <input type="checkbox"/> 5 | <input type="checkbox"/> 6 | (morgens) | Fr. | <input type="checkbox"/> 7 | <input type="checkbox"/> 8 | <input type="checkbox"/> 9 | (nachmittags) |
| Sa. | <input type="checkbox"/> 10 | <input type="checkbox"/> 11 | <input type="checkbox"/> 12 | <input type="checkbox"/> 13 | <input type="checkbox"/> 14 | <input type="checkbox"/> 16 | (morgens) | Sa. | <input type="checkbox"/> 15 | | | (nachmittags) |

Teilnahmebedingungen

Nach Eingang Ihrer Anmeldung erhalten Sie Ihre Rechnung als Teilnahmebestätigung. Der Rechnungsbetrag ist vor Veranstaltungsbeginn an den FED zu überweisen. Bei Stornierung der Anmeldung (nur schriftlich – es gilt der Poststempel) bis zum 2. September 2010 wird eine Gebühr von € 100,- fällig. Danach ist in jedem Fall der volle Beitrag zu zahlen. Bei Nichterscheinen oder verspäteter Abmeldung besteht kein Anspruch auf Rückerstattung der Teilnahmekosten. Ein(e) Ersatzteilnehmer(in) kann vor Beginn der Konferenz der Geschäftsstelle benannt werden. Die Konferenzgebühren sind mehrwertsteuerfrei. Im Kostenbeitrag sind entsprechend Ihrer Buchung der Konferenzband, Mittagessen, Abendessen am Freitagabend und Pausengetränke enthalten. Bitte zahlen Sie erst nach Erhalt der Rechnung. Wir bitten Sie, Ihre Zimmerreservierung in den Hotels und die Bezahlung der Übernachtungskosten selbst vorzunehmen.

Anmeldedaten

Firma, Abteilung
Rechnungsanschrift
Vorname Name
Telefon, Fax, E-Mail

Mit der Anmeldung werden die o. a. Teilnahmebedingungen akzeptiert.

Datum, Unterschrift

--

Anmeldungen bitte per Fax an 030 834 1831 oder E-Mail an info@fed.de

SEIEN SIE INNOVATIV WIR HABEN DIE CODES!

Die Zitzmann GmbH ist seit vielen Jahren **der** enge Partner für Vertrieb und Support der technologisch führenden Lösungen von Mentor Graphics für die Elektronikindustrie.

Sprechen Sie mit uns - wir informieren Sie gerne über die fortschrittlichen PCB und FPGA Designlösungen von Mentor Graphics sowie über die ergänzenden Produkte und Leistungen der Zitzmann GmbH.

Zu unserem Vertriebsprogramm zählen unter anderem folgende Produkte:



PCB-Layout

PADS bietet Ihnen die Freiheit und die Leistung die Sie brauchen, um Ihre PCB-Layouts in einer einfachen, intuitiven Umgebung zu erstellen. Und das zu erstaunlich günstigen Preisen. Expedition Enterprise als Technologievorreiter von Mentor Graphics erfüllt die Anforderungen mittelständischer und großer Unternehmen bis hin zu den komplexesten Designanforderungen.

HyperLynx

eliminiert Probleme mit der Signalintegrität, dem CrossTalk- und EMV-Verhalten sowie bei der Power-Integrity frühzeitig im Designfluss - entwickelt um die HighSpeed- und Power-Integrity-Analyse an jeden Entwickler-Arbeitsplatz zu bringen.

I/O-Designer

kreiert einen automatisierten Link zwischen FPGA- und BoardLevel-Design sowie dem PCB-Layout. I/O-Designer verbessert den Weg auf dem FPGA's in das Board-Design implementiert werden.

ModelSIM-Familie

bietet eine umfangreiche Simulations- und Debugging-Umgebung für komplexe ASIC- und FPGA-Designs. Unterstützt werden dabei mehrere Sprachen wie Verilog, SystemVerilog, VHDL und SystemC.



Zitzmann GmbH

Distributing
Mentor Graphics Tools
for an even Higher
Technology